

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61276425
PUBLICATION DATE : 06-12-86

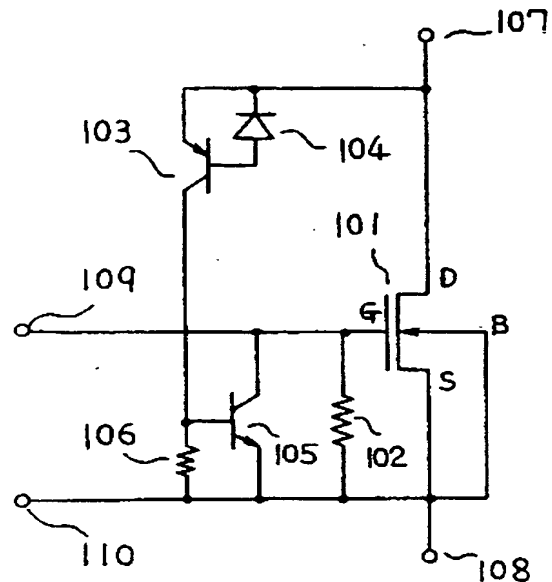
APPLICATION DATE : 31-05-85
APPLICATION NUMBER : 60116450

APPLICANT : HITACHI HARAMACHI
SEMICONDUCTOR LTD;

INVENTOR : TOMITA SHIGEO;

INT.CL. : H03K 17/687 H03K 17/04

TITLE : SWITCHING CIRCUIT



ABSTRACT : PURPOSE: To decrease the switching time of a MOS transistor (TR), to prevent malfunction and to improve the response by connecting a capacitive element between a drain of a MOS TR and a base of a bipolar TR.

CONSTITUTION: A resistor 102 is connected between a gate G and a source S of an n-channel MOS TR nMOS 101, and a collector and an emitter of a bipolar TR 105 are connected to the gate G and the source S of the nMOS 101 respectively. A resistor 106 is connected between the base and the emitter of the TR 105 and a collector of a bipolar TR 105 is connected to the gate. Further, the emitter of the TR 103 is connected to a drain D of the nMOS 101, and a diode 104 whose base is connected to the anode is connected between the base and emitter of the TR 103. Thus, the voltage between the gate and source is brought into a voltage below the gate threshold voltage rapidly by giving a voltage change to the drain of the nMOS 101 to ensure the high speed response of the nMOS 101 without malfunction.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-276425

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)12月6日

H 03 K 17/687
17/04

7105-5J
7105-5J

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 スイッチング回路

⑯ 特 願 昭60-116450

⑰ 出 願 昭60(1985)5月31日

⑱ 発 明 者 菅 山 茂 日立市弁天町3丁目10番2号 日立原町電子工業株式会社内

⑲ 発 明 者 苅 谷 忠 昭 日立市幸町3丁目1番1号 株式会社日立製作所日立工場内

⑳ 発 明 者 志 村 辰 男 日立市幸町3丁目1番1号 株式会社日立製作所日立工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出 願 人 日立原町電子工業株式会社 日立市弁天町3丁目10番2号

㉓ 代 理 人 弁理士 小川 勝男 外2名
最終頁に続く

明 細 書

発明の名称 スイッチング回路

特許請求の範囲

1. MOSトランジスタのソース・ゲート間に抵抗器とバイポーラトランジスタが接続され、上記MOSトランジスタのドレインと上記バイポーラトランジスタのベース間に容量性素子が接続されていることを特徴とするスイッチング回路。

発明の詳細な説明

〔発明の利用分野〕

本発明はスイッチング回路に係り、特に高圧MOSトランジスタを用いたスイッチング回路に関する。

〔発明の背景〕

従来のMOSトランジスタを用いたスイッチング回路としては、MOSトランジスタのゲートとソース間に抵抗器やコンデンサを並列接続としてゲート電圧を安定化する方式が用いられる。しかし、この方式では、スイッチング時間が長くなることや、オフ期間にわたるドレイン・ソース間

電圧変化時に、オンしてしまう等の問題があつた。

なお、この種の回路として詳しく述べてある特許の例として、米国特許第4170740号がある。

〔発明の目的〕

本発明の目的はMOSトランジスタのスイッチング時間を短縮し、かつ、誤動作がなく、応答性の良好なスイッチング回路を提供することにある。

〔発明の概要〕

MOSトランジスタのスイッチング回路においてはゲート・ソース間電圧印加を停止することによりターンオフしてゆく。本発明者等は、ターンオフ時のドレイン電圧変化に伴ない、MOSトランジスタに存在するゲート・ドレイン間寄生容量を介して電流が流れゲート電位をMOSトランジスタのしきい値電圧(以下 V_{th} という)以上としてみ、ターンオフ時間を長くしていることを実験により確認した。この結果に基づいた本発明の特徴はドレイン電圧の変化を容量性素子で検出して、ゲート・ソース間を短絡することにある。

〔発明の実施例〕

以下、第1図により本発明の一実施例を説明する。

nチャネル形MOSトランジスタ(以下nMOSという)101のゲートGとソースS間に抵抗器102が接続され、バイポーラトランジスタ105のコレクタ及びエミッタが各々nMOS101のゲートGとソースSに接続され、前記トランジスタ105のベースとエミッタ間には抵抗器106が接続され、前記ベースには、バイポーラトランジスタ103のコレクタが接続されている。又、前記nMOS101のドレインDに前記トランジスタ103のエミッタが接続され、前記トランジスタ103のベースとエミッタ間には、ベースをアノードと接続したダイオード104が接続されている。

端子109を正としたゲート電圧が端子109と端子110間に加えられると、nMOS101はオンし、端子107を正としたドレイン電圧が、端子107と端子108間に印加されていれば、端子107から端子108の方向へドレイン電流が

したnMOS101がターンオフ時にドレイン電圧 V_{DS} の上昇により再びオンすることを防止する。

また前述したnMOS101のゲート、ソース間寄生容量 C_{gs} の存在により、nMOS101のターンオフ時間 t_{off} は、抵抗器102の抵抗値 R_{gs} との間に次の様な関係がある。

$$t_{off} \approx 3 \times C_{gs} \times R_{gs} \quad \dots\dots\dots(1)$$

これは、nMOS101のゲート、ソース間寄生容量 C_{gs} の電圧が、抵抗器102で放電し、 C_{gs} の電圧がnMOS101のゲートしきい値電圧 V_{TH} 以下となつて、nMOS101がオフ状態となるからである。

しかし、本実施例では、nMOS101のドレイン、ソース間電圧 V_{DS} の立上り時にバイポーラトランジスタ105がオンするために、 C_{gs} の電圧の放電時間が大幅に短縮され、nMOS101のターンオフ時間 t_{off} が低減され、高速応答性が得られる。

なおnMOS101の基板Bが、ソースSに接続されているが、基板Bの電位をソースSの電位以外としたMOSトランジスタの使用法においても、

流れる。

次に、前述したゲート電圧を収りのぞくと、nMOS101は、ターンオフ動作に入り、nMOS101のゲートGとソースS間に存在する寄生容量 C_{gs} に蓄積された電荷は、抵抗器102により放電を行ない始め、nMOS101のドレインDとソースS間の電圧 V_{DS} の上昇が開始される。これらのターンオフ動作の開始に伴ない、nMOS101のドレインDとゲートG間に存在する寄生容量 C_{gd} を通し、変位電流が流れ、nMOS101のゲートGとソースS間の電圧を上昇させ、再びnMOS101をオンせしめようとする。しかしドレイン電圧 V_{DS} の上昇に伴ない、トランジスタ103とダイオード104で構成した回路により、この部分に存在する寄生容量 C_j にも変位電流が流れ、この変位電流によりトランジスタ105をオンさせ、nMOS101のゲートGとソースS間を、トランジスタ105のコレクタエミッタ間飽和電圧 $V_{CE}(sat)$ とする。

前述した $V_{CE}(sat)$ をnMOS101のゲートしきい値電圧 V_{TH} 以下と設定することにより、前述

本実施例の動作は同様である。

本実施例によれば、抵抗器12の抵抗値を大きく選べるので、nMOSのゲート入力電力を低減できるという効果がある。

第2図は他の実施例を示しており、第1図と異なるのは、2個のnMOS201及び202を、各々のソースS及び、ゲートGを接続して構成した交流スイッチング回路に、本発明を実施した点であり、バイポーラトランジスタ203とダイオード204により構成された電圧変化検出回路が、nMOS201のドレインDと、バイポーラトランジスタ207のベースとの間に接続され、同様に、バイポーラトランジスタ205とダイオード206によつて構成された電圧変化検出回路が、nMOS202のドレインDとバイポーラトランジスタ207のベースに接続されている。抵抗器102、106に相当するものとして209、208がトランジスタ207に設けられている。ゲート信号は端子212、213間に加えられ、端子210、211間の主回路をスイッチング制御する。

本実施例によれば、電圧変化の大きい交流電圧、すなわち高周波交流回路にも利用できるもので、使用周波数を上げられるという効果がある。

第3図は、本発明の他の実施例を示したもので、第1図と異なるのは、電圧変化を検出する回路をコンデンサ303で構成した点で、本実施例によれば、回路部品を低減できるという効果がある。

第4図は、本発明の他の実施例を示したもので、第1図と異なるのは、nチャネル形MOSトランジスタをpチャネル形MOSトランジスタ401とし、トランジスタ103、105に代るものとして逆導電形のトランジスタのものをを用いた点であり、本実施例によれば、pチャネルMOSトランジスタにおいても、スイッチング時間の改善ができるという効果がある。

また、第3図のコンデンサ303はダイオードにおきかえてもよい。これはダイオードが逆バイアスされてできる空乏層における接合容量で代用させることができるからである。

〔発明の効果〕

本発明によれば、MOSトランジスタのドレイン電圧変化によりゲートとソースを急峻に、ゲートしきい値電圧 V_{th} 以下とできるので、MOSトランジスタの高速応答性を誤動作を生じないで確保できるという効果がある。

図面の簡単な説明

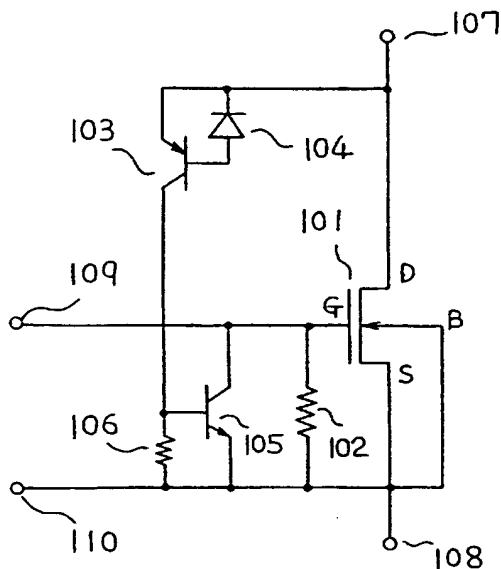
第1図は、本発明の一実施例を説明する回路図、第2図は、本発明の他の実施例を説明する回路図、第3図は、本発明の他の実施例を説明する回路図、第4図は、本発明の他の実施例を説明する回路図である。

101…nチャネル形MOSトランジスタ、103、105…バイポーラトランジスタ、104…ダイオード、102、106…抵抗器。

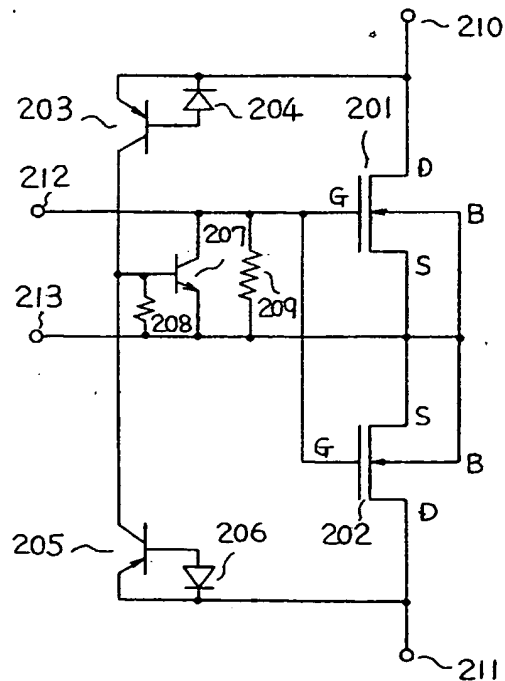
代理人 弁理士 小川勝男

BEST AVAILABLE COPY

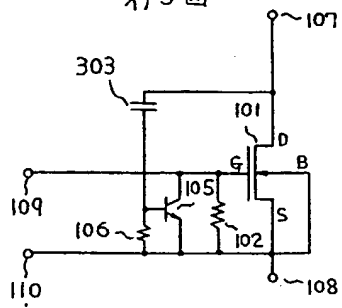
第1図



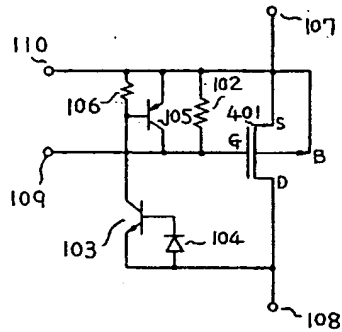
第2図



第 3 図



第 4 図



第 1 頁の続き

⑦発 明 者 富 田 滋 男 日立市幸町 3 丁目 1 番 1 号 株式会社日立製作所日立工場
内

BEST AVAILABLE COPY